



#4

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: T. Tsujimura et al.

Serial No.: 09/682,002

Filed: July 6, 2001

FOR: ACTIVE MATRIX SUBSTRATE AND MANUFACTURING METHOD THEREOF

Date: August 21, 2001

Docket No.: JP920000098US1

Group Art Unit: 2871

Assistant Commissioner for Patents  
Washington, D.C. 20231

**SUBMISSION OF PRIORITY DOCUMENT**

Sir:

Enclosed herewith is a certified copy of Japanese Application No. 2000-208593 filed July 10, 2000, in support of applicant's claim to priority under 35 U.S.C. 119.

Respectfully submitted,

Derek S. Jennings

Reg. Patent Agent/Engineer

Reg. No.: 41,473

Tel. No.: (914) 945-2144

IBM CORPORATION  
Intellectual Property Law Dept.  
P. O. Box 218  
Yorktown Heights, N. Y. 10598



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月10日

出 願 番 号

Application Number:

特願2000-208593

出 願 人

Applicant (s):

インターナショナル・ビジネス・マシーンズ・コーポレーション

2000年11月 6日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造

出証番号 出証特2000-3092372

【書類名】 特許願

【整理番号】 JP9000098

【提出日】 平成12年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 辻村 隆俊

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 徳弘 修

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 三和 宏一

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 師岡 光雄

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【復代理人】

【識別番号】 100104880

【弁理士】

【氏名又は名称】 古部 次郎

【選任した代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【選任した復代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 081504

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリックス基板、表示装置、およびアクティブマトリックス基板の製造方法

【特許請求の範囲】

【請求項 1】 絶縁基板の上方に所定の間隙を隔てて配設されたソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極に積層される半導体層と、

前記半導体層に積層されるゲート絶縁膜と、

前記ゲート絶縁膜に積層されるゲート電極と、

前記ゲート電極と略同一形状にて積層される第 1 の部分と共に、前記ソース電極および前記ドレイン電極の何れか一方の電極の一部分上に積層される部分を含む第 2 の部分を備える透明導電層とを備えたことを特徴とするアクティブマトリックス基板。

【請求項 2】 前記ソース電極および前記ドレイン電極の何れか一方に連結されるデータ線とを更に備え、当該データ線に対してゲート絶縁膜が積層されていることを特徴とする請求項 1 記載のアクティブマトリックス基板。

【請求項 3】 前記透明導電層の第 2 の部分は、前記ソース電極および前記ドレイン電極の何れか一方の電極と連結して画素電極を形成することを特徴とする請求項 1 記載のアクティブマトリックス基板。

【請求項 4】 絶縁基板に対して順次積層されるゲート電極、ゲート絶縁膜、半導体層、ソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極と略同一形状にて積層される部分を含んで当該ソース電極および当該ドレイン電極に積層されると共に、当該ソース電極および当該ドレイン電極の何れか一方に連結して画素電極を形成する透明導電層とを備えたことを特徴とするアクティブマトリックス基板。

【請求項 5】 前記ゲート電極に連結されるゲート線とを更に備え、当該ゲート線に対してゲート絶縁膜が積層されていることを特徴とする請求項 4 記載のアクティブマトリックス基板。

【請求項 6】 前記ソース電極および前記ドレイン電極の何れか一方に連結

されるデータ線とを更に備え、

前記透明導電層は、前記データ線と略同一形状にて積層される部分を含んで構成されることを特徴とする請求項 4 記載のアクティブマトリックス基板。

【請求項 7】 絶縁基板に対して積層されるゲート電極と、

前記ゲート電極に対して積層されるゲート絶縁膜と、

前記ゲート絶縁膜に対して積層される半導体層と、

前記半導体層に対して積層されるソース電極およびドレイン電極と、

前記ソース電極および前記ドレイン電極と略同一形状にて積層される部分を含んで当該ソース電極および当該ドレイン電極に積層される I T O 膜とを備えたことを特徴とするアクティブマトリックス基板。

【請求項 8】 絶縁基板に形成される薄膜トランジスタ構造と、

前記薄膜トランジスタ構造のソース電極およびドレイン電極の何れか一方に連結されて形成される画素電極と、

前記薄膜トランジスタ構造のソース電極およびドレイン電極の何れか一方に連結されて形成されるデータ線と、

前記薄膜トランジスタ構造のゲート電極に連結されて形成されるゲート線とを備え、

前記薄膜トランジスタ構造を形成する上部電極の上面は I T O 膜によってほぼ覆われ、前記データ線および前記ゲート線の何れか一方の上面はゲート絶縁膜によってほぼ覆われていることを特徴とする表示装置。

【請求項 9】 前記 I T O 膜は、前記画素電極を形成する I T O 膜と同一工程で形成されたものであることを特徴とする請求項 8 記載の表示装置。

【請求項 1 0】 前記絶縁基板を用いて充填される液晶層とを更に備え、

前記上部電極、データ線およびゲート線が前記液晶層と接する上面は、前記 I T O 膜または前記ゲート絶縁膜によってほぼ覆われていることを特徴とする請求項 8 記載の表示装置。

【請求項 1 1】 絶縁基板に対して直接または間接的に、ソース電極およびドレイン電極、半導体層、ゲート絶縁膜、ゲート電極が順次積層されるアクティブマトリックス基板の製造方法であって、

レジストマスクを用いて前記ゲート絶縁膜に積層されるゲート金属をパターニングする工程と、

パターニングされた前記ゲート金属をマスクとして前記ゲート絶縁膜および前記半導体層をパターニングする工程と、

I T O 膜を付着後、レジストマスクを用いて当該 I T O 膜をパターニングする工程と、

パターニングされた前記 I T O 膜をマスクとして前記ゲート電極をパターニングする工程とを含むことを特徴とするアクティブマトリックス基板の製造方法。

【請求項 1 2】 前記 I T O 膜をパターニングする工程は、画素電極のパターン形成と共に、前記ゲート電極の形成パターンを考慮して当該 I T O 膜をパターニングすることを特徴とする請求項 1 1 記載のアクティブマトリックス基板の製造方法。

【請求項 1 3】 前記 I T O 膜をパターニングする工程は、前記ゲート電極に連結されたゲート線の形成パターンを考慮して当該 I T O 膜をパターニングすることを特徴とする請求項 1 2 記載のアクティブマトリックス基板の製造方法。

【請求項 1 4】 絶縁基板に対してゲート電極をパターン形成する工程と、前記ゲート電極に対してゲート絶縁膜、半導体層を順次積層した後、金属膜を形成する工程と、

形成された前記金属膜をパターニングすべき形状を考慮すると共に、画素電極の形状を考慮して I T O 膜を積層する工程と、

積層された前記 I T O 膜をマスクとして前記金属膜をパターニングしてソース電極およびドレイン電極を形成する工程とを含むことを特徴とするアクティブマトリックス基板の製造方法。

【請求項 1 5】 前記 I T O 膜が積層された前記ソース電極および前記ドレイン電極の上層に保護膜を設けると共に、当該保護膜を用いて前記半導体層をパターニングする工程とを更に含むことを特徴とする請求項 1 4 記載のアクティブマトリックス基板の製造方法。

【請求項 1 6】 前記ソース電極およびドレイン電極を形成する工程と同一工程にて、前記 I T O 膜をマスクとしてデータ線をパターン形成することを特徴

とする請求項 1 4 記載のアクティブマトリックス基板の製造方法。

【請求項 1 7】 前記金属膜を形成する工程は、前記ゲート絶縁膜をパターンニングする形状で当該金属膜を形成することを特徴とする請求項 1 4 記載のアクティブマトリックス基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アクティブマトリックス基板の製造方法等に関し、特に、パターンニング工程を削減したアクティブマトリックス基板の製造方法および生成されたディスプレイパネル等に関する。

【0 0 0 2】

【従来の技術】

アクティブマトリックス基板が用いられるアクティブマトリックス型液晶ディスプレイ装置では、ゲート電極(Y電極)とデータ電極(X電極)とをマトリックス状に配置し、その交点に薄膜トランジスタ(TFT)が配置されたTFTアレイ基板と、その基板と隙間を空けて重ねられる対向基板との間に液晶を封入し、液晶に与える電圧を薄膜トランジスタにより制御して、液晶の電気光学効果を用いて表示を可能としている。

【0 0 0 3】

ここで、薄膜トランジスタ等のアクティブマトリックス基板の構造としては、従来より、トップゲート型(正スタガ型)とボトムゲート型(逆スタガ型)の構造が知られている。このトップゲート型のアクティブマトリックス基板では、まず、ガラス基板等の絶縁基板上に遮光膜が備えられ、その上に酸化シリコン(SiO<sub>x</sub>)や窒化シリコン(SiN<sub>x</sub>)等からなる絶縁膜が設けられている。その上に金属電極であるドレイン電極とソース電極がチャネル間隔を空けて備えられ、その一方に接続する形でインジウム-すず-酸化物(Indium Tin Oxide: ITO)による画素電極が形成される。更に、ドレイン電極およびソース電極を覆う半導体層としてのアモルファスシリコン膜(a-Si膜)と、その上にSiO<sub>x</sub>やSiN<sub>x</sub>等からなるゲート絶縁膜、その上にアルミニウム(Al)等からなるゲート電極が設



けられ、その上に  $\text{SiN}_x$  等からなる保護膜 (Passivation) が形成されている。

【 0 0 0 4 】

一方、ボトムゲート型のアクティブマトリックス基板では、まず、ガラス基板等の絶縁基板上にゲート電極が設けられ、その上にゲート絶縁膜と  $\text{a-Si}$  膜が形成される。また、絶縁基板上に  $\text{ITO}$  による画素電極が形成される。その後、ドレイン電極とソース電極とがチャネル間隔を空けて  $\text{a-Si}$  膜上に設けられる。このとき、ドレイン電極とソース電極との一方が画素電極に接続されている。

【 0 0 0 5 】

これらのアクティブマトリックス基板を製造する工程として、所謂 7 P E P ( P E P : Photo Engraving Process : 写真蝕刻工程 ) 構造が一般的に存在する。例えばトップゲート型の 7 P E P 構造では、第 1 P E P として遮光膜を形成した後、第 2 P E P にて  $\text{ITO}$  のドレイン電極およびソース電極をパターニングする。その後、第 3 P E P で  $\text{ITO}$  による画素電極を形成し、第 4 P E P で  $\text{a-Si}$  膜と第 1 のゲート絶縁膜を C V D ( Chemical Vapour Deposition : 化学的気相成長 ) で着膜し、島状にパターニングする。その後、第 5 P E P で第 2 のゲート絶縁膜をし、第 6 P E P にてゲート電極としての例えば  $\text{Al}$  をスパッタリングで着膜し、パターニングする。最後に、第 7 P E P で保護膜を形成している。

【 0 0 0 6 】

また、例えばボトムゲート型の 7 P E P 構造では、第 1 P E P でゲート電極を絶縁基板上にエッジ形成した後、第 2 P E P でゲート絶縁膜と  $\text{a-Si}$  膜、および  $\text{SiN}_x$  等からなるエッチング保護膜が形成される。第 3 P E P にて  $\text{a-Si}$  膜がパターニングされて  $\text{a-Si}$  アイランドが形成された後、第 4 P E P にて  $\text{ITO}$  による画素電極が形成される。その後第 5 P E P にてゲート電極を露出させるための穴あけが行われた後に、第 6 P E P にてドレイン電極およびソース電極が形成される。最後に、第 7 P E P にて  $\text{SiN}_x$  等からなる保護膜にてドレイン電極およびソース電極が覆われ、一連の工程が終了する。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、この 7 P E P 構造では工程数が非常に複雑となり、また、フォ

トマスクの枚数も多くなることから、製造工程の歩留まりが著しく低下し、結果として製品のコストアップに繋がる点で好ましくない。かかる問題点を受けて、出願人は、この製造プロセス短縮に関わる技術として、特願平 1 1 - 2 1 4 6 0 3 号、特願 2 0 0 0 - 4 3 0 1 号、特願 2 0 0 0 - 2 8 3 5 7 号を既に提示している。ここでは、例えばトップゲート型 T F T のゲート電極形成時にゲート線をオーバーエッチングし、更にゲート電極形成用のマスクを用いてアイランドカット (S i N x、a-S i 層のエッチング) を行う 4 P E P 技術を採用している。即ち、ゲート電極メッキパターンをマスクとして 1 回のパターニング工程で、ゲート電極、ゲート絶縁膜及び a-S i 膜を連続してエッチングするものであり、製造プロセスを短縮できるといった点で非常に優れているものとする。

## 【 0 0 0 8 】

ここで、このように、ゲート電極形成用のマスクを用いてアイランドカットを行うことで P E P が削減されるが、更なる改善事項として、液晶における保持率の向上が挙げられる。即ち、液晶に溶け込む金属イオンの溶け込みを減少させ、データ配線、ゲート配線が液晶に対して剥き出しとなる部分を減らすことができる。また、液晶に対するウィスカやゴミ等の付着を低減できれば、ショート不良の発生を低減させることが可能である。更には、引き出し配線の腐食を低減できれば、歩留まりや信頼性寿命も大きく向上させることができる。

## 【 0 0 0 9 】

また、省 P E P を図るものとして、特許第 2 8 7 3 1 1 9 号公報が存在する。この公報には、i 型半導体層のパターニングを不要とし、n<sup>+</sup>型半導体層をソース電極とドレイン電極のパターニングと同時に行い、パターニングの際に使用するフォトマスクの枚数を減らす技術について開示されている。しかしながら、かかる公報の技術では、レイヤが多くなることから、エッチングが大変となり、歩留まりが逆に悪くなる。また、ゲート電極がゲート絶縁膜のエッチングにもたないために I T O をその上に引いているが、これでは I T O の工程が余計に必要となり、製造工程の十分な簡略化が図れない。

## 【 0 0 1 0 】

本発明は、以上の技術的課題を解決するためになされたものであって、その目的とするところは、パターニングプロセスを増やすことなく、配線をゲート絶縁膜やITOによって覆うことで、アクティブマトリックス基板の製造の際における歩留まりを向上させ、信頼性を高めることにある。

また他の目的は、ゲート絶縁膜のパターニング、上部電極のパターニング、および画素電極のパターニングを2回のパターニングで行い、上記課題を解決すると共に、パターニング工程の削減を図ることにある。

#### 【0011】

##### 【課題を解決するための手段】

そのために、本発明は、TFT構造の上部電極や配線部等を構成する金属膜構造が液晶等に対して剥き出しになるのを防止しながら、TFT構造のパターニングプロセスを大幅に削減する点に特徴がある。即ち、本発明が適用されるアクティブマトリックス基板は、絶縁基板の上方に所定の間隙を隔てて配設されたソース電極およびドレイン電極と、このソース電極およびドレイン電極に積層される半導体層と、半導体層に積層されるゲート絶縁膜と、ゲート絶縁膜に積層されるゲート電極と、ゲート電極と略同一形状にて積層される第1の部分と共に、ソース電極およびドレイン電極の何れか一方の電極の一部分上に積層される部分を含む、例えば画素電極を形成する第2の部分に係る透明導電層と、ソース電極およびドレイン電極の何れか一方に連結されるデータ線とを備え、このデータ線に対してゲート絶縁膜が積層されていることを特徴としている。ここで用いられる「略同一形状」とは、同一のパターニング工程にてパターニングされた後に、他の工程(浸漬工程等)によってエッチングされた後の状態等をも含む意味であり、例えば、透明導電層がエッチングされずにゲート電極がエッチングされる液に漬けた後の形状等が挙げられる。かかる場合、そのエッチング形状のずれは、パターニング側面に対してほぼ均等に生じた状態となるであろう。以下も同様である。

#### 【0012】

また、他の観点から本発明を捉えると、本発明は、絶縁基板に対して順次積層されるゲート電極、ゲート絶縁膜、半導体層、ソース電極およびドレイン電極と、ソース電極およびドレイン電極と略同一形状にて積層される部分を含んでソー

ス電極およびドレイン電極に積層されると共に、このソース電極およびドレイン電極の何れか一方に連結して画素電極を形成する透明導電層と、ゲート電極に連結されゲート絶縁膜が積層されているゲート線とを備えたことを特徴としている。

更に、このソース電極およびドレイン電極の何れか一方に連結されるデータ線とを更に備え、透明導電層は、このデータ線と略同一形状にて積層される部分を含んで構成されることを特徴とすることができる。これらの構成によれば、ボトムゲート構造を採用した場合であっても、パターニング部を除いて上部電極や各配線が剥き出しになることがなく、ショート不良が防止でき、また、引き出し配線の腐食等を軽減することが可能となる。

【 0 0 1 3 】

また、本発明が適用されるアクティブマトリックス基板は、絶縁基板に対して積層されるゲート電極と、このゲート電極に対して積層されるゲート絶縁膜と、このゲート絶縁膜に対して積層される半導体層と、この半導体層に対して積層されるソース電極およびドレイン電極と、このソース電極およびドレイン電極と略同一形状にて積層される部分を含んでソース電極およびドレイン電極に積層されるITO膜とを備えたことを特徴としている。

【 0 0 1 4 】

一方、本発明が適用される表示装置は、絶縁基板に形成される薄膜トランジスタ構造と、この薄膜トランジスタ構造のソース電極およびドレイン電極の何れか一方に連結されて形成される画素電極と、薄膜トランジスタ構造のソース電極およびドレイン電極の何れか一方に連結されて形成されるデータ線と、薄膜トランジスタ構造のゲート電極に連結されて形成されるゲート線とを備え、薄膜トランジスタ構造を形成する上部電極の上面はITO膜によって覆われ、データ線およびゲート線の何れか一方の上面はゲート絶縁膜によってほぼ覆われていることを特徴とすることができる。

【 0 0 1 5 】

ここで、このITO膜は、画素電極を形成するITO膜と同一工程で形成されたものであることを特徴とすれば、パターニング工程を省略して製造工程を短縮

化することができる点で好ましい。

また、絶縁基板を用いて充填される液晶層とを更に備え、上部電極、データ線およびゲート線がこの液晶層と接する表面は、ITO膜またはゲート絶縁膜によって覆われていることを特徴とすれば、配線が液晶層に剥き出しになる領域を減らすことができ、液晶層に対して金属イオンが溶け込んで、液晶の保持率を劣化させることを軽減することが可能となる。

【0016】

また、本発明は、絶縁基板に対して直接または間接的に、ソース電極およびドレイン電極、半導体層、ゲート絶縁膜、ゲート電極が順次積層されるアクティブマトリックス基板の製造方法であって、レジストマスクを用いてゲート絶縁膜に積層されるゲート金属をパターニングする工程と、パターニングされたゲート金属をマスクとしてゲート絶縁膜および半導体層をパターニングする工程と、ITO膜を付着後、レジストマスクを用いてこのITO膜をパターニングする工程と、パターニングされたITO膜をマスクとしてゲート電極をパターニングする工程とを含むことを特徴としている。

【0017】

ここで、このITO膜をパターニングする工程は、画素電極のパターン形成と共に、ゲート電極の形成パターンを考慮してITO膜をパターニングすることを特徴とすれば、無駄なパターニング工程を省くと同時に、ゲート電極の剥き出し部分を少なくすることができる点で好ましい。

また、このITO膜をパターニングする工程は、ゲート電極に連結されたゲート線の形成パターンを考慮してITO膜をパターニングすることを特徴とすれば、配線であるゲート線の剥き出し部分を少なくすることができる点で優れている。

【0018】

一方、他の観点から製造方法の発明を捉えると、本発明が適用されるアクティブマトリックス基板の製造方法は、絶縁基板に対してゲート電極をパターン形成する工程と、このゲート電極に対してゲート絶縁膜、半導体層を順次積層した後、金属膜を形成する工程と、形成された金属膜をパターニングすべき形状を考慮

すると共に、画素電極の形状を考慮してITO膜を積層する工程と、積層されたITO膜をマスクとして金属膜をパターニングしてソース電極およびドレイン電極を形成する工程とを含むことを特徴としている。

#### 【0019】

ここで、このITO膜が積層されたソース電極およびドレイン電極の上層に保護膜を設けると共に、この保護膜を用いて半導体層をパターニングする工程とを更に含むことを特徴とすれば、工程を有効に利用してパターニングを行うことができ、製造工程の短縮化と共にコストダウンを図ることができる点で好ましい。

また、このソース電極およびドレイン電極を形成する工程と同一工程にて、ITO膜をマスクとしてデータ線をパターン形成することを特徴とすれば、データ線が剥き出しになることがなく、ウィスカやゴミ等によるショート不良を未然に防止することができる。

更に、金属膜を形成する工程は、ゲート絶縁膜をパターニングする形状で金属膜を形成することを特徴とすれば、パターニング工程を更に簡略化することが可能となる。

#### 【0020】

#### 【発明の実施の形態】

#### ◎ 実施の形態1

以下、添付図面に示す実施の形態に基づいてこの発明を詳細に説明する。

図1は、アクティブマトリックス基板としての本実施の形態における薄膜トランジスタ(TFT)構造を示す図である。ここでは、トップゲート型のTFTを例に示し、後述する製造方法によって、製造プロセスが大幅に短縮化されて形成されている。本実施の形態におけるトップゲート型のTFTは、無アルカリガラスや石英等からなる絶縁基板11上に、MoやMoCr等のMo合金からなる遮光膜(ライトシールド)12が設けられ、その上部を覆うように酸化シリコン(SiO<sub>x</sub>)や窒化シリコン(SiN<sub>x</sub>)等からなるアンダーコート層としての絶縁膜13が備えられている。その上に、MoやTi, Ta, Cr, Nb, W, Ag等を用いたモリブデン・タングステン(Mo-W)合金等の金属膜が積層されてなるソース電極14とドレイン電極15およびデータ線16がパターン形成されている。

## 【 0 0 2 1 】

また、このパターン形成されたソース電極 1 4 とドレイン電極 1 5、およびデータ線 1 6 の上層には、半導体層を形成する a-S i 膜 1 7 が着膜され、更にもその上層には第 1 の窒化シリコン膜(第 1 S i N x 膜)、及び T F T チャンネルのパシベーション膜としての第 2 の窒化シリコン膜(第 2 S i N x 膜)とで構成されるゲート絶縁膜 1 8 が着膜されている。更に、a-S i アイランドを構成するゲート絶縁膜 1 8 の上層には、C r や A l 等の金属からなるゲート電極 1 9 が形成されている。また、本実施の形態では、工程短縮を目的として、後述するように、ゲート電極 1 9 をパターンニングする前のゲート金属をマスクとして、その下部にある a-S i 膜 1 7、ゲート絶縁膜 1 8 を、一度にドライエッチングしている。

## 【 0 0 2 2 】

更に、ソース電極 1 4 と絶縁基板 1 1 との上層には、画素電極に用いられる透明導電膜であるインジウム-すず-酸化物(Indium Tin Oxide: I T O) 2 0 が形成されている。また、この I T O 2 0 は、ソース電極 1 4 に接続されて画素電極として用いられる他に、本実施の形態では、ゲート電極 1 9 の上層にも形成されている。即ち、本実施の形態では、ゲート金属をパターンニングしてゲート電極 1 9 およびゲート線(図示せず)を形成する位置に合わせ、また、画素電極を形成する位置に対応して、レジストマスクで I T O 2 0 をパターンニングし、ゲート電極 1 9 およびゲート線は、これらの上層に形成された I T O 2 0 をマスクとしてパターンニングされている。その結果として、ゲート電極 1 9 およびゲート線の上層は、I T O 2 0 によって覆われた状態にある。また、ソース電極 1 4 の上部も I T O 2 0 によって覆われている。このように、本実施の形態では、データ線 1 6 はゲート絶縁膜 1 8 に、ゲート線は I T O 2 0 に覆われていることから、液晶保持率の劣化、ゲート線とデータ線 1 6 との間のショート不良、引き出し線の腐食を防止することが可能となる。尚、ゲート電極 1 9 としてアルミニウムを用いた場合には、I T O 2 0 として多結晶の I T O を使用することができないことから、本実施の形態では、I T O 2 0 としてアモルファス I T O や I Z O が用いられている。このアモルファス I T O は、後でアニーリングすることで、多結晶 I T O

とすることができる。

【 0 0 2 3 】

図 2 ( a ) ~ ( d ) は、本実施の形態におけるトップゲート型の薄膜トランジスタ ( T F T ) における製造工程を説明するための図である。

図 2 ( a ) に示すように、まず、ガラス基板等の絶縁基板 1 1 をブラシ洗浄 ( スクラブ洗浄 ) 等の機械的洗浄や、酸又は有機溶液等による化学的洗浄などを用いて洗浄した後、ライトシールド用の M o 合金をマグネトロンスパッタリングを用いて所定の膜圧にて着膜させ、図示しないフォトレジストをマスクとしてフォトリソグラフィ技術を用いてエッチング加工するフォトリソグラフィ技術を用い、遮光膜 ( ライトシールド ) 1 2 を形成する。これによって第 1 P E P が終了する。続いて、層間絶縁膜として、密着力の強い酸化シリコン ( S i O x ) 膜からなる絶縁膜 1 3 をプラズマ C V D 法により着膜する。その後、ドレイン・ソース電極用およびデータバスライン用の M o 合金の着膜をマグネトロンスパッタリングで連続着膜し、着膜後にデータバスライン及びドレイン・ソース電極をフォトリソグラフィ技術によりパターンニングし、ソース電極 1 4 、ドレイン電極 1 5 、およびデータ線 1 6 を形成する。これによって第 2 P E P が終了する。更に、半導体材料としての a - S i 膜 1 7 をプラズマ C V D で着膜し、その後、第 1 S i N x 膜及び第 2 S i N x 膜からなるゲート絶縁膜 1 8 をプラズマ C V D で順に着膜する。その後、これらのエッチングを省略してゲート電極 1 9 およびゲート線に用いられる A l 等からなるゲート金属 2 1 をマグネトロンスパッタリングで着膜させる。このゲート金属 2 1 は、a - S i 膜 1 7 およびゲート絶縁膜 1 8 のエッチングを考慮した形状にてパターンニングされて、T F T チャンネルである a - S i アイランドの部分と、データ線 1 6 の上層に形成されている。

【 0 0 2 4 】

続いて、図 2 ( b ) に示すように、第 3 P E P として、a - S i 膜 1 7 およびゲート絶縁膜 1 8 がエッチングされる。本実施の形態では、ゲート金属 2 1 上のレジストをマスクとして、a - S i 膜 1 7 およびゲート絶縁膜 1 8 を一度にエッチングしている。その結果、一回のリソグラフィ工程でこれらを連続してエッチングすることができるので、製造工程を大きく短縮することが可能である。



## 【 0 0 2 5 】

次に、図 2 (c) に示すように、第 4 P E P として、アモルファス I T O 膜を付着後、蔦酸などの比較的マイルドな酸をエッチング液として、レジストマスクで I T O 2 0 が形成される。ここでは、塩酸や硝酸などの強酸を用いておらず、比較的マイルドな酸を用いていることから、エッチング中の強酸による損傷、例えば、アルミニウムからなるゲート電極 1 9 の腐食を防ぐことができる。また、この I T O 2 0 は、画素電極を形成すると共に、次の工程にてゲート金属 2 1 およびゲート線をパターンニングする際に用いられる。ここで形成される I T O 2 0 は、画素電極とゲート電極 1 9、ゲート線の形状を考慮したパターン形成がなされている。

## 【 0 0 2 6 】

最後に、図 2 (d) に示すように、ゲート金属 2 1 とゲート線(図示せず)がパターンニングされる。即ち、本実施の形態では、I T O 2 0 をマスクとしてゲート金属 2 1 をパターンニングし、ゲート電極 1 9 およびゲート線を形成している。

## 【 0 0 2 7 】

このように、本実施の形態では、ゲート絶縁膜 1 8 のパターンニング、上部電極であるゲート電極 1 9 およびゲート線のパターンニング、画素電極のパターンニング、の 3 つのパターンニングを 2 回のパターンニングによって行うことができ、パターンニングプロセスを大きく削減できる。また、本実施の形態による工程によって、上部電極であるゲート電極 1 9 およびゲート線の上層には酸化物である I T O 2 0 が形成され、また、データ線 1 6 の上層はゲート絶縁膜 1 8 によって覆われている。その結果、これら配線が液晶に剥き出しにならず、液晶の保持率を低下させることがない。また、ウィスカやゴミ等によるショート不良や配線の腐食を未然に防止することが可能となる。

## 【 0 0 2 8 】

## ◎ 実施の形態 2

実施の形態 1 では、アクティブマトリックス基板としてトップゲート型の T F T を例に説明したが、実施の形態 2 では、アクティブマトリックス基板としてボトムゲート型の T F T を例にとって説明する。

尚、実施の形態 1 と同様の構成については実施の形態 1 と同様な符号を用い、ここではその詳細な説明を省略する。

## 【 0 0 2 9 】

図 3 は、実施の形態 2 におけるアクティブマトリックス基板としてのボトムゲート型の T F T 構造を説明するための図である。本実施の形態におけるボトムゲート型の T F T は、絶縁基板 1 1 上に、スパッタで形成されてパターニングされた A 1 などのゲート電極 3 1 およびゲート線 3 2 が設けられている。その上層に、スパッタリングによる  $T a_2 O_5$ 、またはプラズマ C V D などによる  $S i O_2$ 、 $S i N_x$  の絶縁膜からなるゲート絶縁膜 3 3 が形成されている。a-S i アイランドを構成する T F T チャンネル部では、その上層に半導体層を形成する a-S i 膜 3 4 が形成され、更に、ゲート電極 3 1 の上部にある a-S i 膜 3 4 の上層に、例えばアルミニウム等の金属膜からなるソース電極 3 5 とドレイン電極 3 6 が形成されている。

## 【 0 0 3 0 】

また、本実施の形態では、ソース電極 3 5 とドレイン電極 3 6 およびデータ線 (図示せず) の上層に、画素電極に用いられる透明導電膜である I T O 3 7 が形成されている。本実施の形態では、上部電極であるソース電極 3 5、ドレイン電極 3 6 およびデータ線は、I T O 3 7 をマスクとしてパターン形成されている。更に、画素電極部分を除く a-S i アイランド部分とデータ線部分は、例えばシリコン窒化膜からなる保護膜 3 8 が形成されており、この保護膜 3 8 によって a-S i 膜 3 4 がパターン形成されている。

## 【 0 0 3 1 】

図 4 (a) ~ (d) は、本実施の形態におけるボトムゲート型の T F T における製造工程を説明するための図である。また、図 5 ~ 図 8 は、図 4 (a) ~ (d) に対応して平面図から製造工程を説明するための図であり、図 5 は第 1 P E P を平面から説明する図、図 6 は第 2 P E P を平面から説明する図、図 7 は第 3 P E P を平面から説明する図、図 8 は第 4 P E P を平面から説明する図である。

## 【 0 0 3 2 】

図 4 (a) および図 5 に示されるように、第 1 P E P として、洗浄された絶縁基

板 1 1 の上にアルミニウム等からなるゲート電極 3 1 およびゲート線 3 2 がパターン形成される。

次に、図 4 (b) および図 6 に示されるように、第 2 P E P として、第 1 P E P で形成されたゲート電極 3 1 およびゲート線 3 2 の上層に、ゲート絶縁膜 3 3 および a - S i 膜 3 4 が積層され、更に、その上層に、上部電極であるソース電極、ドレイン電極、およびデータ線を形成する A 1 パターン 4 1 が形成される。この A 1 パターン 4 1 は、ゲート絶縁膜 3 3 をパターニングする形でパターニングされている。

#### 【 0 0 3 3 】

その後、図 4 (c) および図 7 に示されるように、第 3 P E P として、透明導電性薄膜であるアモルファス I T O 膜を付着後、蔭酸などの比較的マイルドな酸をエッチング液として、レジストマスクで I T O 3 7 が形成される。この I T O 3 7 は、画素となる表示用の画素電極を形成すると共に、本実施の形態では、ソース電極 3 5 およびドレイン電極 3 6 を覆う位置、およびデータ線を覆う位置に設けられる。また、レジストマスクで I T O 3 7 が形成される際に、その I T O 3 7 で覆われていない A 1 パターン 4 1 がパターニングされる。このパターニングによって、上部電極であるソース電極 3 5、ドレイン電極 3 6 が形成され、また、ゲート線 3 2 の上にあった不要な A 1 パターン 4 1 が除去される。この工程の結果、上部電極の上に I T O 3 7 が重なった状態にて、画素電極へ繋がった構造が形成される。

#### 【 0 0 3 4 】

最後に、図 4 (d) および図 8 に示されるように、第 4 P E P として、シリコン窒化膜からなる保護膜 3 8 が形成される。この保護膜 3 8 により a - S i アイランドを構成する T F T チャンネル部が保護されると共に、データ線部分が保護される。但し、このデータ線部分については、既に I T O 3 7 によって保護されていることから、必ずしも保護膜 3 8 を設ける必要はない。また、この保護膜 3 8 によって a - S i 膜 3 4 がパターニングされ、T F T チャンネル部における不要な a - S i 膜 3 4 が除かれると共に、ゲート線 3 2 の上層としての a - S i 膜 3 4 も除去される。即ち、本実施の形態では、a - S i 膜 3 4 をパターニングする形を考

慮して保護膜 3 8 のパターンを構成し、この保護膜 3 8 のパターンを用いて a-Si 膜 3 4 をパターニングしている。このように、保護膜 3 8 を残す形で a-Si 膜 3 4 を同時にパターニングすることによって、一つ一つの工程を有効に利用することが可能となり、大きな工程削減を図ることができる。これらの一連の流れによって、アクティブマトリックス基板の製造工程が終了する。

#### 【 0 0 3 5 】

このように、実施の形態 2 に示す構造および製造方法によれば、上部電極であるソース電極 3 5、ドレイン電極 3 6 およびデータ線を ITO 3 7 によってパターニングすることで、パターニングプロセスを大きく省略することができる。また、上部電極の上層が ITO 3 7 によって覆われると共に、ゲート線 3 2 の上層はゲート絶縁膜 3 3 によって覆われていることで、配線が液晶に剥き出しになることがなく、これを原因とする液晶の保持率劣化を防ぐことができる。また、引出し配線の腐食を防止することが可能となり、同時にショート不良を防止することができる。

#### 【 0 0 3 6 】

##### 【発明の効果】

以上説明したように、本発明によれば、パターニングプロセスを増やすことなく、配線の上面をゲート絶縁膜や ITO によって覆うことで、引出し配線の腐食等を低減でき、更には、アクティブマトリックス基板の製造の際における歩留まりを向上させ、信頼性を高めることが可能となる。

##### 【図面の簡単な説明】

【図 1】 アクティブマトリックス基板としての本実施の形態における薄膜トランジスタ(TFT)構造を示す図である。

【図 2】 (a)～(d)は、実施の形態 1 におけるトップゲート型の薄膜トランジスタ(TFT)における製造工程を説明するための図である。

【図 3】 実施の形態 2 におけるアクティブマトリックス基板としてのボトムゲート型の TFT 構造を説明するための図である。

【図 4】 (a)～(d)は、実施の形態 2 におけるボトムゲート型の TFT における製造工程を説明するための図である。

【図 5】 第 1 P E P を平面から説明するための図である。

【図 6】 第 2 P E P を平面から説明するための図である。

【図 7】 第 3 P E P を平面から説明するための図である。

【図 8】 第 4 P E P を平面から説明するための図である。

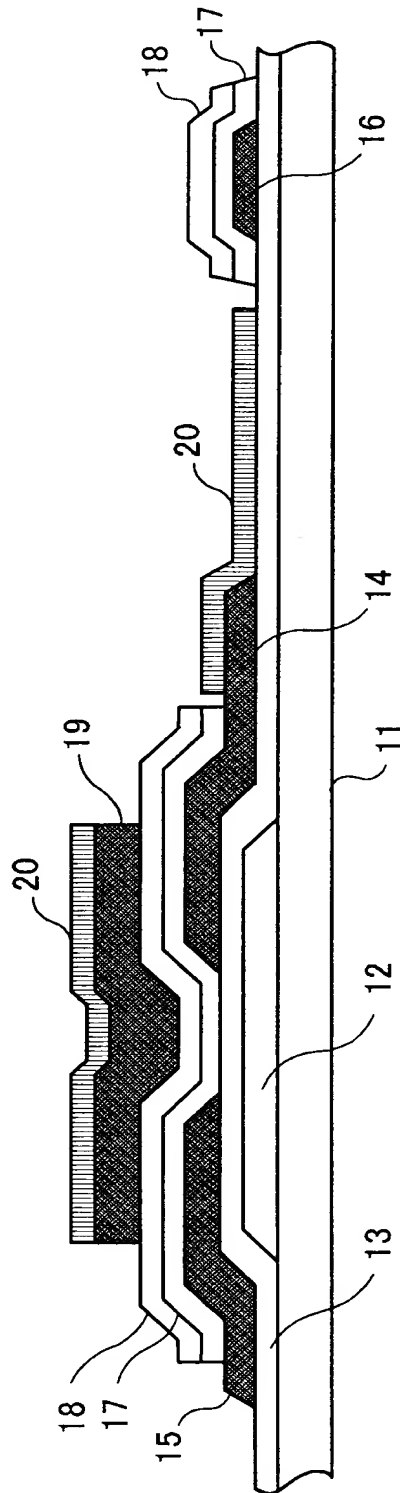
【符号の説明】

1 1 …絶縁基板、1 2 …遮光膜(ライトシールド)、1 3 …絶縁膜、1 4 …ソース電極、1 5 …ドレイン電極、1 6 …データ線、1 7 …a-S i 膜、1 8 …ゲート絶縁膜、1 9 …ゲート電極、2 0 …インジウム-すず-酸化物(I T O)、2 1 …ゲート金属、3 1 …ゲート電極、3 2 …ゲート線、3 3 …ゲート絶縁膜、3 4 …a-S i 膜、3 5 …ソース電極、3 6 …ドレイン電極、3 7 …I T O、3 8 …保護膜、4 1 …A l パターン

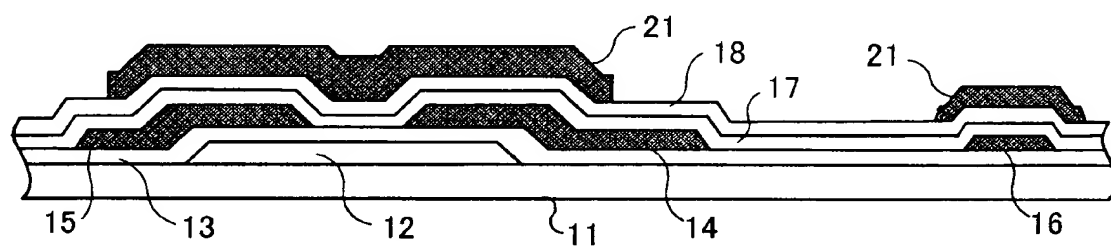
【書類名】

図面

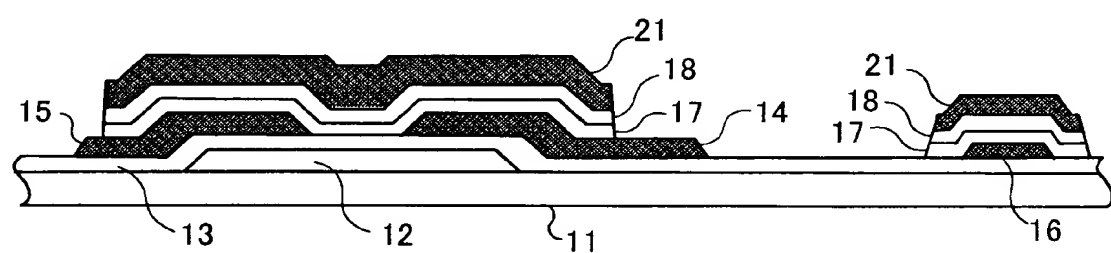
【図 1】



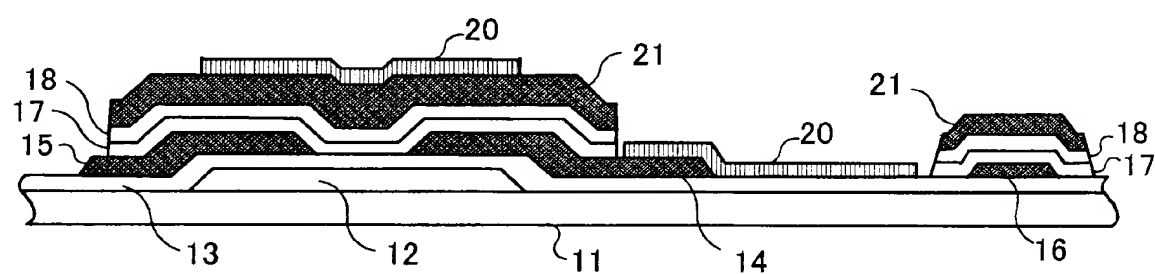
【図 2】



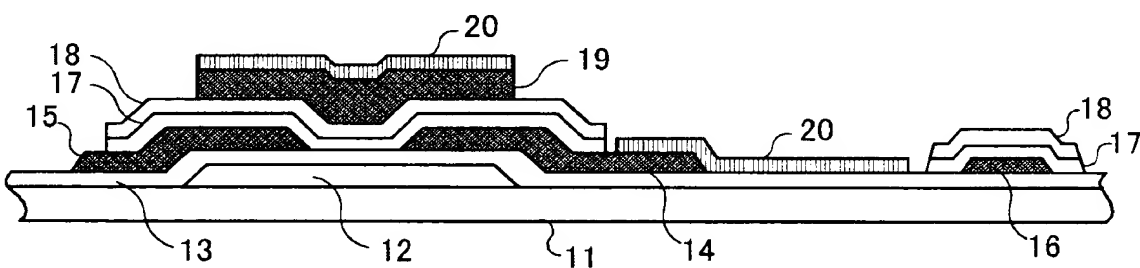
(a)



(b)

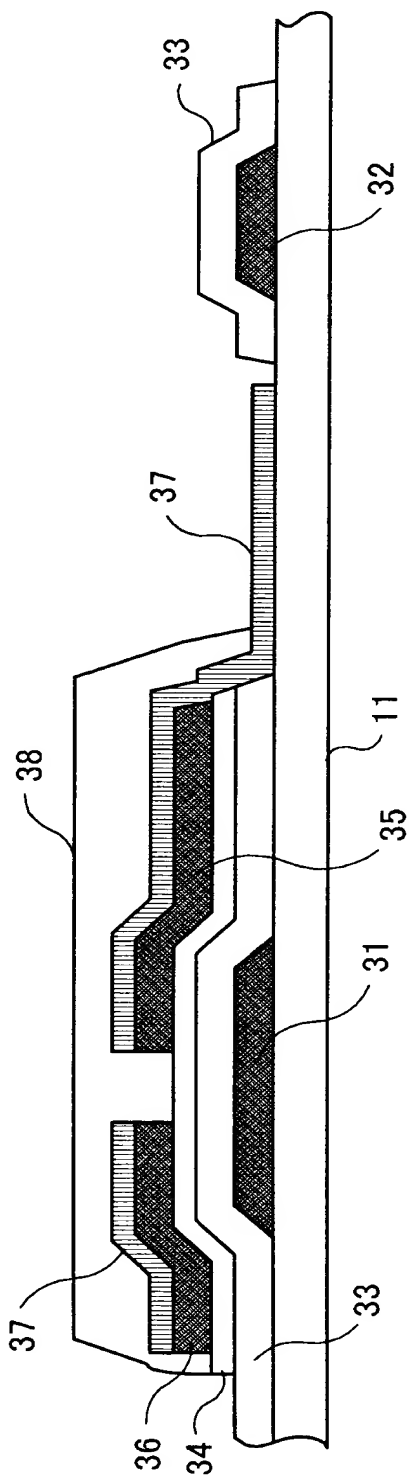


(c)



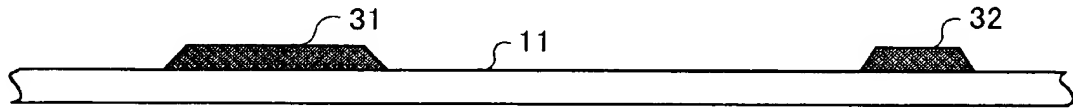
(d)

【図 3】

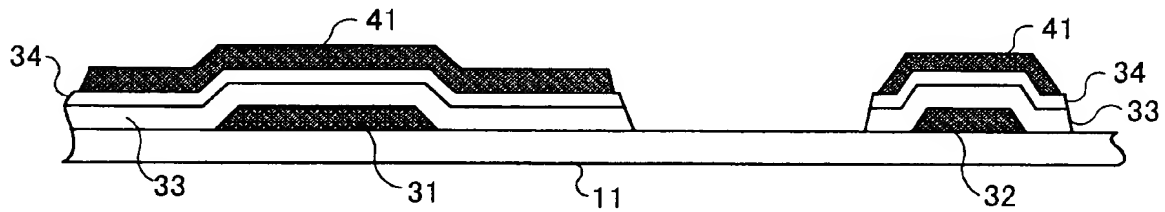




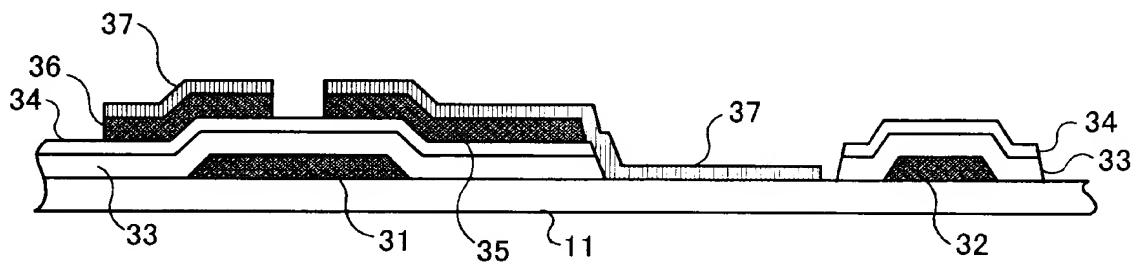
【図 4】



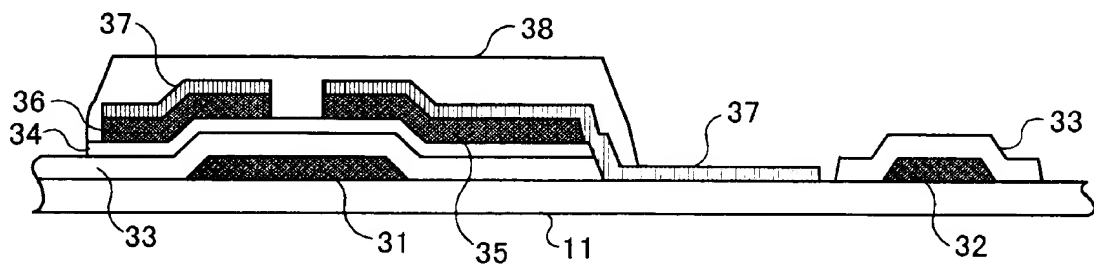
(a)



(b)

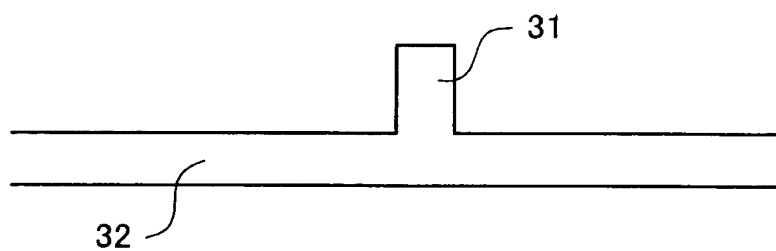


(c)

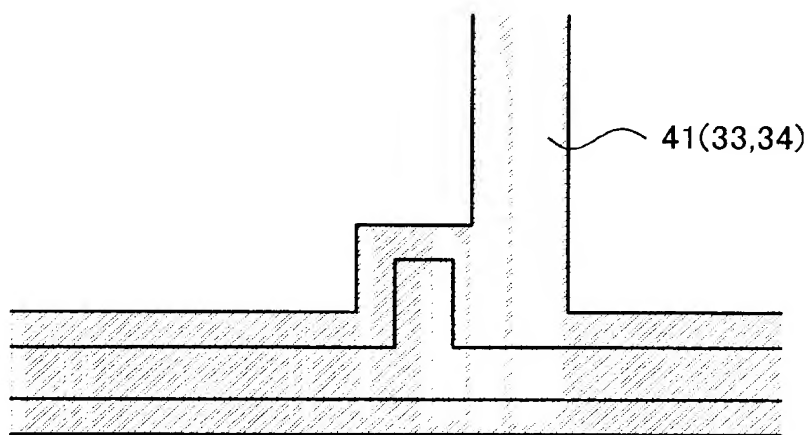


(d)

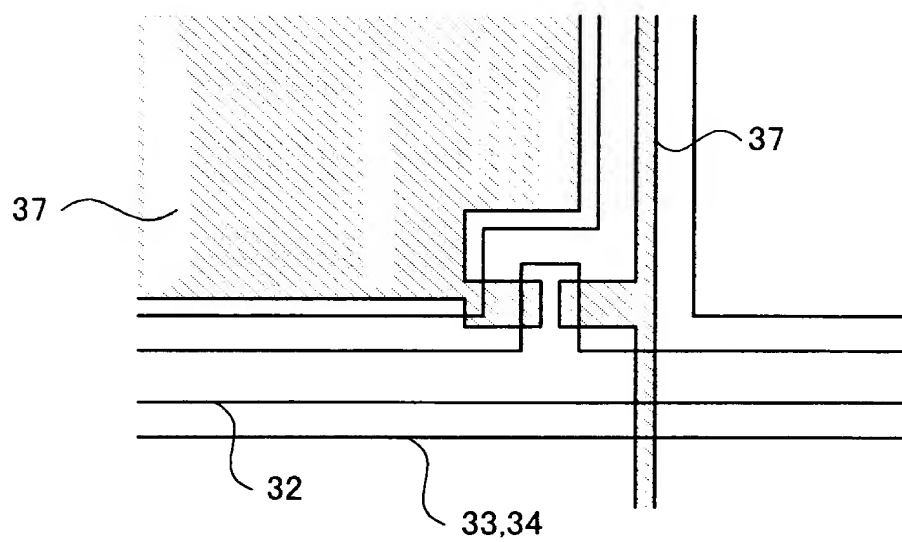
【図 5】



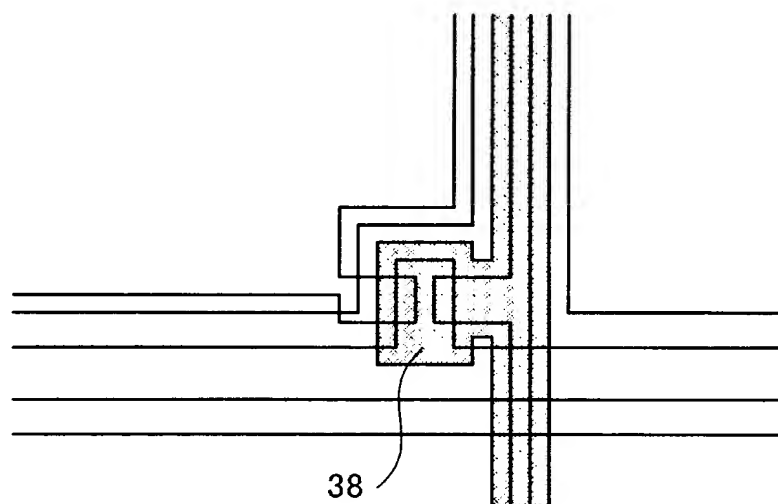
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 パターニングプロセスを増やすことなく、配線をゲート絶縁膜やITOによって覆うことで、引出し配線の腐食等を予防でき、更には、アクティブマトリックス基板の製造の際における歩留まりを向上させ、信頼性を高める。

【解決手段】 絶縁基板11の上方に所定の間隔を隔てて配設されたソース電極14およびドレイン電極15と、その上に積層されるa-Si膜17と、その上に積層されるゲート絶縁膜18と、その上に積層されるゲート電極19と、ゲート電極19のパターン面と同一のパターン面を含んでゲート電極19に積層される第1の部分と共に、ソース電極14の電極の一部から重なって形成されて画素電極を形成する第2の部分を用意するITO20と、ドレイン電極15に連結されるデータ線16とを用意し、このデータ線16の上方はゲート絶縁膜18に覆われているアクティブマトリックス基板。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 0 8 5 9 3
受付番号	5 0 0 0 0 8 6 6 4 1 2
書類名	特許願
担当官	仲村 百合子 1 7 3 0
作成日	平成 1 2 年 8 月 2 4 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 1 0 5 0 4、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【復代理人】

【識別番号】	申請人
【識別番号】	100104880
【住所又は居所】	東京都港区赤坂 5 - 4 - 1 1 山口建設第 2 ビル 6 F セリオ国際特許事務所
【氏名又は名称】	古部 次郎

【選任した代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

【選任した復代理人】

【識別番号】	100100077
【住所又は居所】	東京都港区赤坂 5 - 4 - 1 1 山口建設第 2 ビル 6 F セリオ国際特許事務所
【氏名又は名称】	大場 充

次頁無

【書類名】 手続補正書

【提出日】 平成12年 7月13日

【あて先】 特許庁長官 殿

【事件の表示】

    【出願番号】 特願2000-208593

【補正をする者】

    【識別番号】 390009531

    【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレ  
                                イシヨン

【代理人】

    【識別番号】 100086243

    【弁理士】

    【氏名又は名称】 坂口 博

【復代理人】

    【識別番号】 100104880

    【弁理士】

    【氏名又は名称】 古部 次郎

【手続補正 1】

    【補正対象書類名】 特許願

    【補正対象項目名】 提出物件の目録

    【補正方法】 追加

    【補正の内容】

        【提出物件の目録】

        【物件名】 委任状 1

(B)20001350048



整理番号(JP920000098)

JP9000098

## 委任状

平成12年3月29日

私儀弁理士(識別番号100086243) 坂口 博 及び(識別番号100091568)  
市位 嘉宏 は、ここに弁理士(識別番号100104880) 古部 次郎 氏  
弁理士(識別番号100100077) 大場 充 氏 を以て復代理人として  
下記事項を委任致します。

### 記

1. 本件特許出願に関する一切の件、並びに本件出願に基づく特許法第41条  
第1項または実用新案法第8条第1項の優先権の主張ならびにその取り下げ、  
出願審査の請求、出願の変更、放棄若しくは取下、請求、申請若しくは  
申立の取下、拒絶査定及び補正却下の決定に対する審判の請求及びその取下、  
提出書類及び物件の下付を受けること。

出願人 インターナショナル・ビジネス・マシーンズ・  
コーポレーション

代理人 〒242 神奈川県大和市下鶴間1623番地14  
日本アイ・ビー・エム株式会社 大和事業所内  
電話(代表) 046-276-1111  
連絡先: 046-273-3318, 3325

氏名 弁理士 坂口 博  
(識別番号100086243)



住所 同 所

氏名 弁理士 市位 嘉宏  
(識別番号100091568)



認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 2 0 8 5 9 3
受付番号	2 0 0 0 1 3 5 0 0 4 8
書類名	手続補正書
担当官	仲村 百合子 1 7 3 0
作成日	平成 1 2 年 8 月 2 4 日

< 認定情報・付加情報 >

【補正をする者】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 1 0 5 0 4、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【復代理人】

【識別番号】	申請人
【識別番号】	100104880
【住所又は居所】	東京都港区赤坂 5 - 4 - 1 1 山口建設第 2 ビル 6 F セリオ国際特許事務所
【氏名又は名称】	古部 次郎

【提出された物件の記事】

【提出物件名】	委任状 (代理権を証明する書面)	1
---------	------------------	---



出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日

[変更理由] 名称変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション